

NE

★NIDE

U11 U13

95-219120/29

★JP 7130972-A

Gate array semiconductor IC - has power supply line in boundary part of bottom portion of each cell in Y direction

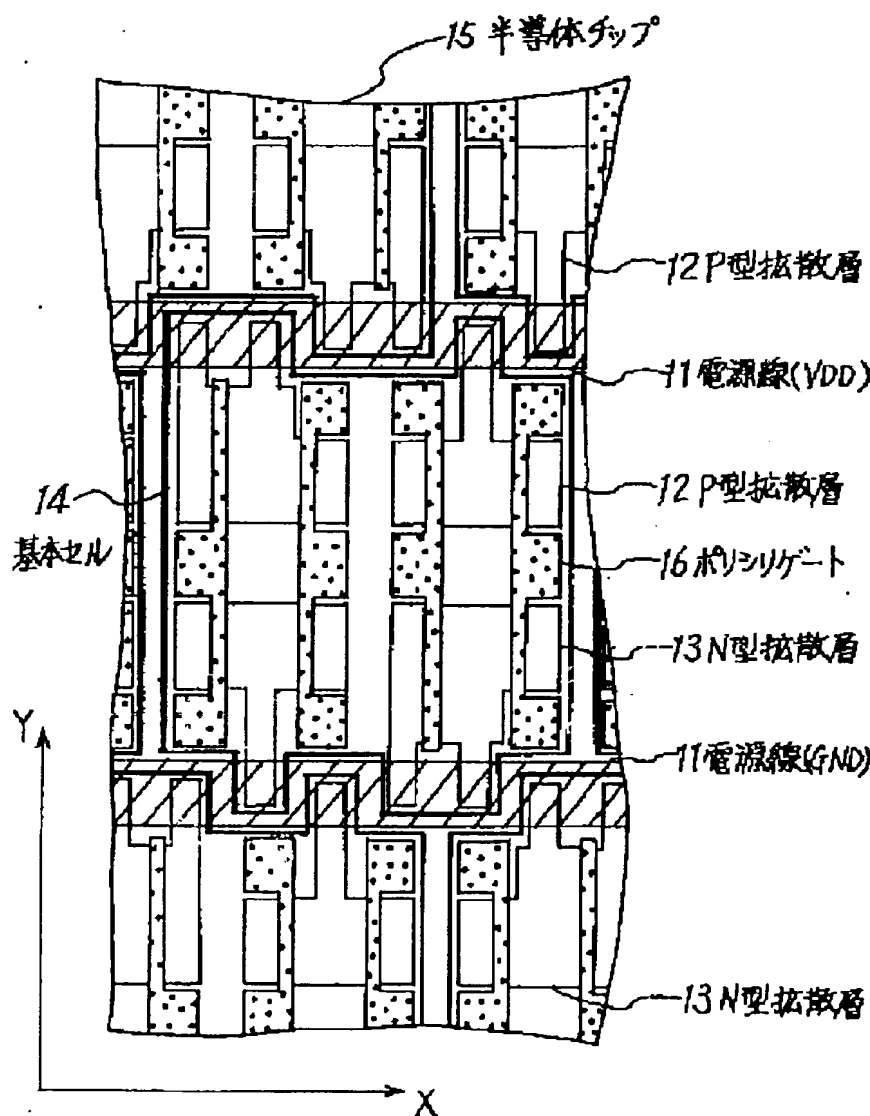
NEC IC MICROCOMPUTER SYSTEMS LTD 93.11.09 93JP-278786  
(95.05.19) II01L 27/118, 21/82

The semiconductor IC has several cells. Each P type diffusion layer (12) and N type diffusion layer (13) of a cell are arranged with fixed spacing along Y direction in the chip (15). A lattice is shifted in 8 directions. The VDD and ground supply line GND are arranged between each basic cell in Y direction alternatively.

ADVANTAGE - Prevents generation of unconnected wiring. Improves integration density. Shortens design period. Simplifies power supply line connection to diffusion layer.  
(4pp Dwg.No.1/5)

N95-171891

U11-D03C1 U13-C04D



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-130972

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/118 21/82		8122-4M 8122-4M	H 0 1 L 21/ 82	M L
審査請求 未請求 請求項の数 2 O L (全 4 頁)				

(21) 出願番号 特願平5-278786

(22) 出願日 平成5年(1993)11月9日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会  
社

神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 志原 真彦

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

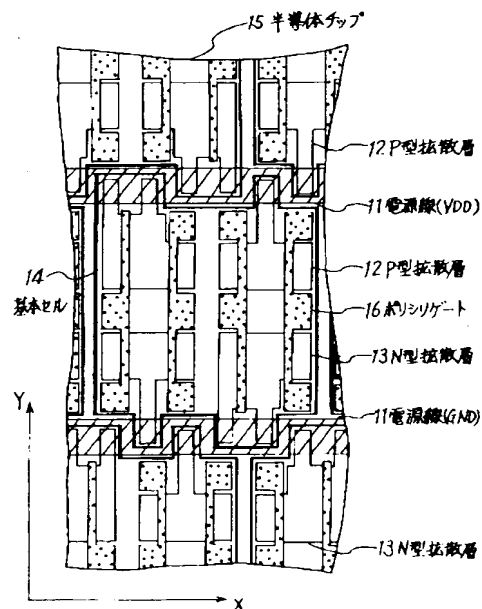
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】セル使用率の高い回路を実現する場合、ファンクションブロックを接続配線する配線格子が不足し、自動配置配線に於いて未接続配線が発生するのを低減する。

【構成】この半導体チップ15は基本セル14のP型拡散層12とN型拡散層13のおおのがY方向に対してある一定間隔で隣合い、かつ、X方向に1格子ずらして半導体チップ15に配置されており、このY方向の各基本セル14の間に交互に電源線11のVDD及びGNDを配置する。このような構成にすることで、Y方向の各基本セルが電源線11を共用することが可能となり、内部セル領域における電源線11の数を従来に比べ約50%減らすことができ、その分を接続配線格子として使用することでF・B間を接続するときの配線効率が良くなりF・B内のレイアウトも容易となる。



AN

## 【特許請求の範囲】

【請求項1】 上部にP型拡散層と下部にN型拡散層を有する基本セルと、上部にN型拡散層と下部にP型拡散層を有する基本セルとを、Y方向にある一定間隔で交互に配置したゲートアレイ配置の半導体集積回路装置に於いて、前記Y方向に配置した各基本セルの境界部分に電源線を有することを特徴とする半導体集積回路装置。

【請求項2】 前記基本セル内のN型トランジスタのGNDに接続される拡散層と、前記基本セル内のP型トランジスタのVDDに接続される拡散層の一部をそれぞれ突出させ、これら拡散層を前記電源線で覆う請求項1記載の半導体集積回路装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路装置に関し、特にゲートアレイ方式の半導体集積回路装置に関する。

【0002】

【従来の技術】従来のゲートアレイ方式の半導体集積回路装置は、図4の基本セルに示すように、電源(VDD)線4-1と電源(GND)線とをそれぞれP型拡散層4-2上に、N型拡散層4-3上に有しており、図5に示すように、Y方向、X方向に規則性をもって内部セル領域5-3の全面に敷き詰め形で図4の基本セル4-4を配置して、半導体チップ5-4が構成されている。

【0003】ところで、インバータやフリップフロップ等の機能を有するファンクションブロック(以下、F・Bと称す)は、基本セル4-4を用いて設計されており、所望の回路を実現する場合、ブロックF・Bを配置し、ブロックF・B間の接続配線を設計基準により定めた配線格子で行ない、半導体チップ5-4を構成する。

【0004】

【発明が解決しようとする課題】この従来のゲートアレイ方式による半導体集積回路装置では、所望の回路を実現する時に半導体チップ5-4上でVDD線4-1及びGND線4-1の2本を有した基本セル4-4をY方向に配置するか、半導体チップ5-4のY方向に於けるブロックF・B間の接続配線格子がY方向に配置した基本セル4-4の数の2倍の本数だけ電源線4-1として使われてしまう。為、セル使用率の高い回路を実現する場合、ブロックF・B間を接続配線する配線格子が不足して自動配置配線に於いて未接続配線が発生し、セル使用率が低下して集積度を上げるという問題点があった。さらに、未接続配線を人手で接続配線する為、設計期間が長くなるという問題点もあった。

【0005】

【課題を解決するための手段】本発明のゲートアレイ方式の半導体集積回路装置は、上部にP型拡散層と下部にN型拡散層を有する基本セルと、上部にN型拡散層と下部にP型拡散層を有する基本セルとを、Y方向にある一

定間隔で交互に配置したゲートアレイ方式の半導体集積回路装置に於いて、Y方向に配置した各基本セルの境界部分に電源線を有しており、特に基本セル内のN型トランジスタのGNDに接続される拡散層と、基本セル内のP型トランジスタのVDDに接続される拡散層の一部を突出させ、この拡散層が前記電源線で覆われた構造を有することを特徴とする。

【0006】

【実施例】図1は本発明の第1の実施例の半導体集積回路装置のチップを示す平面図である。

【0007】図1において、第1の実施例は、上部にP型拡散層1-2と下部にN型拡散層1-3を有する基本セルと、上部にN型拡散層1-3と下部にP型拡散層1-2を有する基本セルとを、Y方向にある一定間隔で交互に配置したゲートアレイ方式の半導体集積回路装置に於いて、Y方向に配置した各基本セル1-4の間に、電源線1-1を有している。

【0008】図1の基本セル1-4を詳しく示す図3の基本セル1-4のP型拡散層1-2とN型拡散層1-3のおおの、Y方向に対してある一定間隔で隣合い、またX方向に1格子ずらして半導体チップ1-5上に配置されるとき、このY方向の各基本セル1-4の間に、交互に電源線1-1のVDD線及びGND線を配置する。

【0009】このような構成にすることで、Y方向の各基本セル1-4が電源線1-1を共用することが可能となり、内部セル領域における電源線1-1の数を従来に比べ、約50%減らすことができ、その分を接続配線格子として使用することで、ブロックF・B間を接続するときの配線効率が良くなる。

【0010】またP型拡散層1-2およびN型拡散層1-3の一部が電源線1-1に覆われた構造となっていることで、MOSトランジスタのソース側に電源を供給する場合、ソースを電源線1-1に接続し易く、ブロックF・Bのレイアウトが容易となる。

【0011】図2は本発明の第2の実施例の半導体チップの平面図である。

【0012】図2において、P型MOSトランジスタとN型MOSトランジスタとメモリセル用N型MOSトランジスタとを有する基本セル2-4に於いて、P型拡散層2-2とメモリセル用N型拡散層2-6のおおの、Y方向に対してある一定間隔で隣合い、かつ各基本セル2-4のP型拡散層2-2がY方向に相対するときの基本セル2-2をX方向に1格子ずらして半導体チップ2-5上に配置し、P型拡散層2-2が相対するY方向の各基本セル間にVDD線2-1を覆うように配置して各基本セル2-4のN型拡散層2-3上には、GND線2-1を配置する。

【0013】このような構成にすることで、Y方向にP型拡散層2-2が相対したときはVDD線2-1を共用することが可能となり、内部セル領域における電源線2-1の数を従来に比べ、約25%減らすことができ、その分を

接続配線格子として使用すること、ブロックD・B間を接続するときの配線効率が良い。

【0014】また、P型拡散層22の一部が電源線21に覆われた構造により、MOSトランジスタのソース側に電源を供給する場合、ソースを電源線21へ接続し易く、ブロックD・Bのレイアウトが容易となる。

【0015】

【発明の効果】以上説明したように、本発明は、Y方向に配置した各基本セルの間に電源線のVDDまたはGNDを有するので電源線として使用される配線格子の数が半導体チップ全体の配線格子上に占める割合を減らせる為、セル使用率の高い回路でも容易に自動配置配線でブロックD・B間を接続配線できることから、未接続配線を防ぎ、集積度を上げる効果を有し、さらに人手による接続配線を必要としないので、設計期間が短縮できるといふ効果も有する。

【0016】また、本発明は、特に基本セル内のN型トランジスタのGNDに接続される拡散層と基本セル内のP型トランジスタのVDDに接続される拡散層の一部を突出させ、この拡散層を電源線に覆うような構造を有し\*

また場合には、電源線を拡散層へ接続し易く、ブロックD・Bのレイアウトが容易になる効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す半導体チップの平面図である。

【図2】本発明の第2の実施例を示す半導体チップの平面図である。

【図3】第1の実施例の基本セルの平面図である。

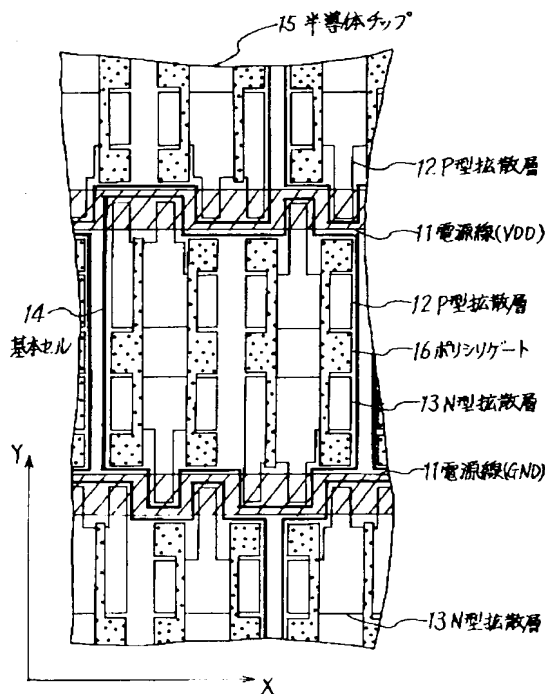
【図4】従来の基本セルの平面図である。

【図5】従来の基本セルからなる半導体チップの平面図である。

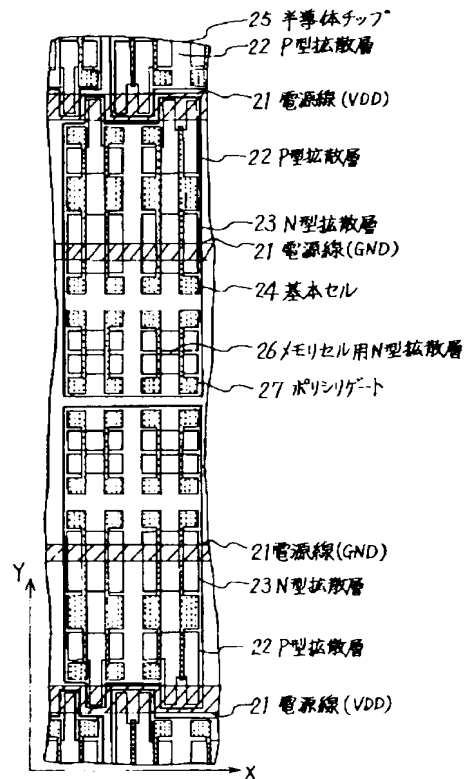
【符号の説明】

- |                |             |
|----------------|-------------|
| 11、21、41、51    | 電源線         |
| 12、22、32、42    | P型拡散層       |
| 13、23、33、43    | N型拡散層       |
| 14、24、31、44、52 | 基本セル        |
| 15、25、54       | 半導体チップ      |
| 26             | メモリセル用N型拡散層 |
| 53             | 内部セル領域      |
| 16、27、34、45    | ポリシリケート     |

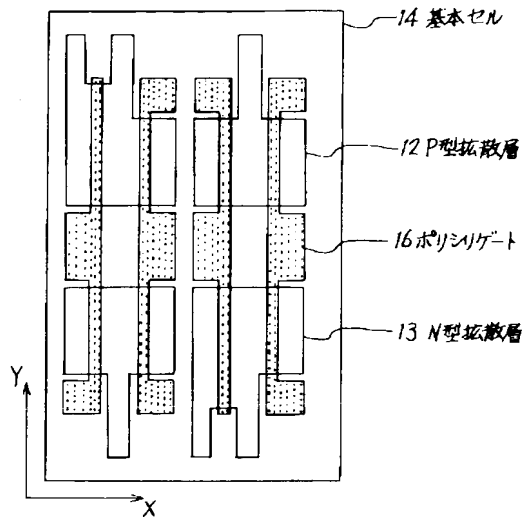
【図1】



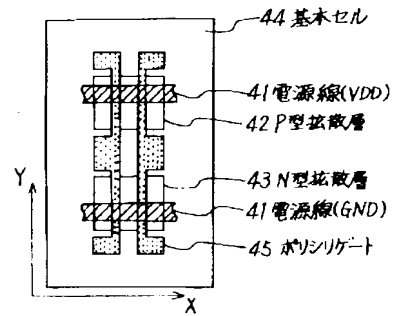
【図2】



【図3】



【図4】



【図5】

